

基于商用工艺的抗辐射标准单元库设计

朱海博¹, 桑红石¹, 李 茜¹, 李 娅²

(1 华中科技大学 图像识别与人工智能研究所, 湖北 武汉 430074;

2 华中师范大学 生命科学学院, 湖北 武汉 430079)

摘 要: 为了实现与商用 CMOS 工艺兼容和最好的抗辐射效果, 采用环形栅结构消除 NMOS 管中由总剂量效应引起的漏电流, 采用保护环减轻单粒子门锁效应和消除电势不同的有源区间场区漏电流, 采用双互锁存储单元结构提高时序单元的抗单粒子翻转能力. 利用这些加固方法, 实现了在 0.18 μm CMOS logic 工艺下小规模、混合高度、高密度标准单元库设计. 利用数字集成电路前后端工具验证单元库设计, 结果表明此设计内容完全可行.

关键词: 环形栅; 抗辐射; 标准单元库

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)06-0152-04

Rad-Hard Standard Cell Library Design Based on Commercial Process

ZHU Hai-bo¹, SANG Hong-shi¹, LI Xi¹, LI Ya²

(1 Institute for Pattern Recognition & Artificial Intelligence, Huazhong University of Science and Technology, Wuhan 430074, China; 2 College of Life Science, Central China Normal University, Wuhan 430079, China)

Abstract: Enclosed-gate layout can eliminate current leakage caused by TID in a NOMS FET. Guard ring can alleviate SEL and eliminate field current leakage through two active areas with different potentials. DICE can weaken SEU in sequential cells. The three methods above can help us achieve the purpose of compatibility with commercial process and best rad-hard effect. A small, mixed-height and high density standard cell library is designed based on 0.18 μm CMOS logic process using the three methods above. Validation of the library is implemented with Digital IC tools and the coming results get well.

Key words: enclosed-gate layout; radiation hard; standard cell library

1 引言

面对航天飞行器、高能物理实验、民用核反应等高辐射应用场合, 商用工艺得到的 IC 芯片显得十分脆弱, 以致失效. 对于芯片的加固研究已有几十年, 方法各异, 各有优少. 然而最近十年基于标准 CMOS 工艺进行加固却越来越受重视. 利用专门的方法对芯片进行设计, 以此实现抗辐射的目的, 这种方法也叫作设计加固法 (Hardness By Design, HBD)^[1]. 国外公司、大学和研究机构涉足较早, 最典型的是上世纪九十年代末欧洲核子研究委员会 (Conseil Européen pour la Recherche Nucléaire, CERN) 研发的基于 0.25 μm 商用工艺的抗辐射标

准单元库. 国内北京时代民芯、国防科大等单位从事这方面研究工作. 综合加固方法、建库理论的文章, 国内少有发表. 本文讨论了基于 0.18 μm CMOS Logic 工艺的抗辐射加固单元库的建库方法.

2 抗辐射加固设计方法不足

2.1 设计加固法

辐射效应有两种, 累积效应和单粒子事件效应. 累积效应分为总剂量效应 (Total Ionizing Dose, TID) 和非电离能量丢失效应 (Non-Ionizing Energy Loss, NIEL). 对于 CMOS 工艺, 只需关注辐射累积效应之一的总剂量效应以及单粒子事件效应. TID 效应引起积累电荷位置的不同, 会导致 MOS

管阈值飘移和漏电流两种现象. 对于栅氧层厚度(T_{ox})小于5 nm的深亚微米工艺,总剂量对阈值的影响可以忽略不计,而且即便是在几个 Mrad 的环境下仍是如此^[2]. 但是,漏电流并没有随栅氧层厚度的减小而减轻. 根据分布位置不同,漏电流有 NMOS 管内漏电流和场氧化区漏电流. 由浅沟槽隔离(Shallow Trench Isolation, STI)引起的、分布在 NMOS 源、漏侧壁的管内漏电流,可以采用环形栅结构消除. 这也是最常见且不违反设计规则的^[2]、非常有效且可达几个 Mrad 抗辐射水平的方法^[3-4]. 对于抗辐射的加固应用,环形栅结构非常有效而且值得在以后的应用继续被应用^[5]. 对于 0.18 μm CMOS logic 工艺,为了不违反设计规则,采用的是带有 45°拐角的环形栅 NMOS 管. 在其周围加上 P+保护环(P+ Guard Ring),既可以阻断场区漏电流,又可以减弱单粒子闩锁效应(Single Event Latchup, SEL). 图1所示为本设计采用的环形栅 NMOS 管结构. 为了显示清楚,图1和图2中均未给出井区和注入层. 关于环形栅 Spice 模型,文献[5-8]有所描述.

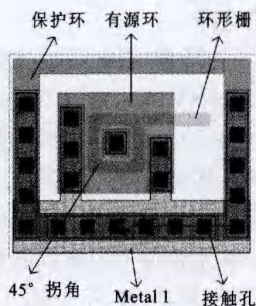


图1 NMOS方环栅版图

对于时序单元的加固,常见做法是采用冗余结构对存储节点进行备份,如,双互锁存储单元结构(Dual Interlocked Storage Cell, DICE). 在 DICE 中,当其中一个节点发生错误时,另外一个节点会对它进行复位. 在版图设计时,存储相同信息的节点应尽量远离,以降低同一离子使它们同时翻转的几率. 本文采用 DICE 结构实现对单粒子翻转效应(Single Event Upset, SEU)加固. 此外,抗辐射加固是一个从工艺到系统设计都有作为的复杂工程,本文只涉及标准单元版图和电路结构.

2.2 标准单元版图设计

本文的标准单元版图高度为9个 pitch,与工艺厂家提供的单元高度相同. 环形栅和保护环的存在,极大地限制了 PMOS 管宽度. 较小的 PMOS 管宽度,使版图手指数变多、横向长度过大. 若 PMOS 管

均使用最大可用宽度,会使水平方向可用布线空间减小. 在版图设计时,要选取适当的 PMOS 管宽度、合理布局以减少长距离连线,以此增加可用布线空间. 图2为采用最小 NMOS 管宽度的反相器版图. 将环形栅横向放置,在高度固定的情况下,通过横向调节来得到不同宽度的 NMOS 管. 关于标准单元版图和其他设计规则,文献[9-10]以及 Library Compiler 相关用户手册有相关论述. 对于时序单元,采用文献[11]中提到的两倍高度结构,以此来减小时序单元版图的长度.

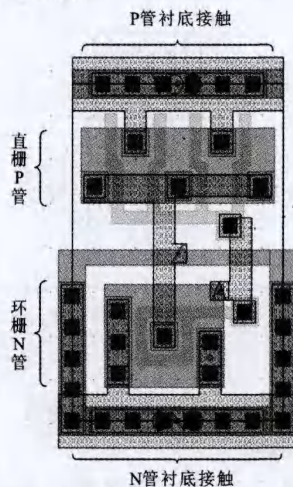


图2 反相器版图

2.3 采用设计加固法的缺点

(1) 受限的宽长比. 使用最小栅长(0.18 μm)设计一个环形栅,使其内部仅能容纳一个金属层1到有源区的接触孔,不违反设计规则的最小 W/L 值为 2.56/0.18. 要减小 W/L 唯一的办法是增大环栅的长度,但会带来严重的面积开销. 此外,最小的 W/L 也要受到工艺上最大栅长的限制. 所幸在数字电路中,往往考虑的是 PMOS 和 NMOS 管 W/L 的比值,不必像模拟电路那样单独考虑某个 NMOS 管的 W/L .

(2) 源、漏不对称. 环栅的内周长小于外周长,这就使得输出电阻、电容内小外大. 如果漏在内、源在外,则 C_{gd} 小于 C_{gs} ,这对减小密勒效应的影响很重要,但却不利于获得大的增益.

(3) 面积、功耗增大. 以一驱动强度反相器(INV1X)为例,本文的尺寸为:5.04 $\mu\text{m} \times 3.3 \mu\text{m}$,工艺厂家的为:5.04 $\mu\text{m} \times 1.32 \mu\text{m}$. 受环栅最小宽度影响,前者的驱动强度约为后者的四倍. 抗辐射标准单元面积一般为相应商用的2到4倍^[12],但是大尺寸的环栅单元会带来大的功耗开销.

3 关于标准单元建库相关理论

表 1 所示为本文建议的标准单元库内容, 图 3 所示为本文采用的标准单元建库流程. 接下来的问

题是: 如果采用 CMOS 结构逻辑门, 怎么选择每个门中管子尺寸、相同门序列驱动强度的尺寸以及单元库逻辑门的种类.

表 1 标准单元库通常包括内容

符号库	版图库	功能参数库	摘要库	工艺库
用几何图形表示单元的、输入和输出引线的符号.	以“GDSII”为后缀名, 标准单元版图的集合. 用于电路的物理实现.	以“.lib”为后缀名, 是标准单元时序、功耗、逻辑功能、面积的集合. 可以转换成“.db”和“.VHDL”等其他文件.	用 abstract generator 或 Milkyway 提取的摘要视图, 用于数字后端的 P&R.	工艺模型及参数

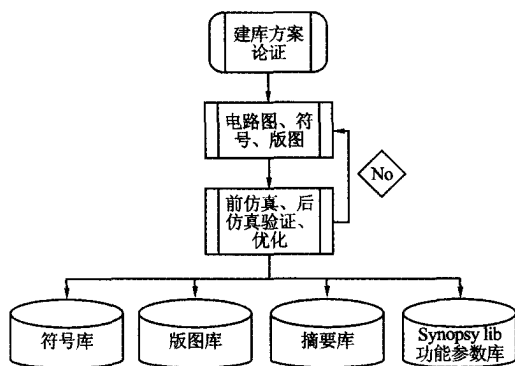


图 3 标准单元库建库流程

3.1 宽长比确定

一般情况下, 对于 CMOS 逻辑而言, 在选择 P 管宽度 W_P 和 N 管宽度 W_N 时, 设计者通常关心如何将上升和下降平均延时最小化, 因为一连串的门产生的输出信号不是上升就是下降. 以图 4 中的 NAND2 为例, 说明如何确定 W_P/W_N 以使平均延时最小. 图中 NAND2 有两个上拉支路 and 一组下拉支路. 两条上拉支路由两个并联的 PMOS 管 MP1 和 MP2 构成, 两个管子尺寸相等, 两个支路相同. Branch(1) 和 Branch(2) 为从每个最上端 PMOS 管出发到每个最下端 NMOS 的路径, 下拉支路为一条由 MN1 和 MN2 串联构成的支路, 因此 Branch(1) 和 Branch(2) 相同. 由文献[13]可知

$$\beta = \sqrt{\frac{M_n \mu_n}{M_p \mu_p}} \quad (1)$$

β 是每个路径的等效宽度比 $W_{P,eff}/W_{N,eff}$. M_n 、 M_p 是路径上 NMOS、PMOS 管的个数. μ_n 、 μ_p 为电子和空穴的迁移率. 其中, $W_{P,eff} = W_P/M_p$, $W_{N,eff} = W_N/M_n$. 因此, 可知:

$$\frac{W_P}{W_N} = \beta \frac{M_p}{M_n} = \sqrt{\frac{M_p \mu_n}{M_n \mu_p}} \quad (2)$$

由图可知: $M_p = 1$, $M_n = 2$. 由此可求出每条路径上的宽度之比.

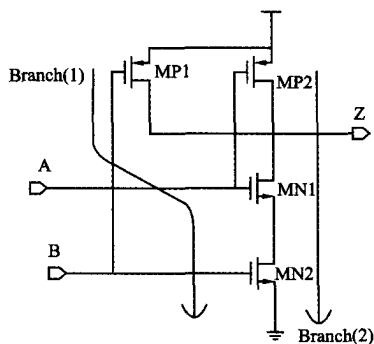


图 4 NAND2 电路图

3.2 驱动强度选择

如果以最小的环栅 NMOS 管宽度来构建一驱动强度的反相器 (INV1X), 接着需要确定反相器最大驱动强度以及驱动个数. 在一般的数字电路设计中, 因为标准单元驱动强度是离散的, 系统设计指标的优化, 不可能达到全定制设计那样的效果. 所以对于不同的应用, 单元库每个门驱动强度的选择与整个系统的表现紧密相连. 参考文献[13-14], 将驱动强度倍率选为 1.3, 最大驱动个数为 8.

3.3 单元库逻辑门的选择

参考文献[15], 本文提出一个具有 43 个逻辑门的小型标准单元库, 如表 2 所示.

4 单元库的验证

用数字 IC 设计工具对所建立的单元库进行综合, 以此对所提出的设计方法和建库内容进行验证. 同一模块在周期相同的时钟下, 分别利用本文的抗辐射库和工艺厂商提供的商用库进行验证. 表 3 是验证后的统计数据. 从表可知, 初步得到 I^2C 和 Cordic 面积分别是基于商用库的 5.3 和 7.2 倍, 功耗分别为 3.4 和 3.8 倍. 这是由于本文抗辐射库的单元面积是商用库的 2~4 倍, 最小驱动强度为其 4 倍. 所以, 抗辐射库在带来高的抗辐射和驱动能力的同时, 也带来的较大的面积和功耗开销.

表 2 43 个逻辑门标准单元库

组合逻辑门		时序逻辑门	
AND21X,	AND31X,	AND41X,	
AOI211X,	AOI221X,	AOI311X,	
AOI2111X,	BUF1X,	BUF1P3X,	DFFPRE1X,
BUF1P7X,	BUF2P2X,	BUF2P8X,	DFF1X, DF-
BUF3P7X,	BUF4P8X,	BUF6P4X,	FR1X,
INV1P3X,	INV1P7X,	INV1X,	LATCH1X
INV2P2X,	INV2P8X,	INV3P7X,	
INV4P8X,	INV6P3X,	MUX21X,	
NAND21X,	NAND31X,	NAND41X,	
NOR21X,	NOR31X,	NOR41X,	PRE: preset
OAI211X,	OAI221X,	OAI311X,	R: reset
OAI2111X,	OR21X,	OR31X,	OR41X,
XNOR21X,	XOR21X		

表 3 验证后的统计数据

	PC	Cordic
门个数(抗辐射库)/个	201	2 486
门个数(厂家的库)/个	175	2 780
面积(抗辐射库)/ μm^2	118 386.6	676 583.1
面积(厂家的库)/ μm^2	16 475.7	125 884.4
功耗(抗辐射库)/ μW	3.8	10.7
功耗(厂家的库)/ μW	1.1	6.0
后仿真情况	正常	正常

5 结束语

随着我国军用芯片国产率的提高,解决抗辐射问题是不可避免的,越来越多的国内研究单位将致力于自己的抗辐射标准单元库的建设.用于抗辐射的特殊工艺往往落后商用工艺至少两代,而且费用高昂.基于商用工艺的抗辐射方法,自然成为了人们的首选.本文简单介绍了抗辐射方案的选择、建库流程、初步验证方法,验证结果表明本文设计可行.但要实现产品化,还需要进行流片验证和相关测试.此外,本文没有涉及 IO、RAM,这两部分是今后的研究、工作的方向.

参考文献:

[1] Faccio F. Radiation effects and hardening by design in CMOS technologies [M]. Herman Casier, Michiel Steyaert, Arthur H M van Roermund. Analog Circuit Design; Robust Design, Sigma Delta Converters, RFID. Heidelberg: Springer, 2011.

[2] Faccio F. Design hardening methodologies for ASICs[M]. R Velazco, P Fouillat, R Reis. Radiation Effects on Embedded Systems. Dordrecht: Springer, 2007.

[3] Campbell M. A pixel readout chip for 10-30 mrad in standard 0.25um CMOS[J]. IEEE Transactions on

Nuclear Science, 1999, 46(3): 156-160.

[3] Lacoe R C. Application of hardness-by-design methodology to radiation-tolerant ASIC technologies[J]. IEEE Transactions on Nuclear Science, 2000, 47(6): 2334-2341.

[4] Dodd P E. Current and future challenges in radiation effects on CMOS electronics[J]. IEEE Transactions on Nuclear Science, 2010, 57(4): 1747-1763.

[5] Strohhahn K. Spice macro models for annular mosfets [C]// IEEE Aerospace Conference Proceedings. USA: Laurel, 2004: 2370-2377.

[6] Li Chen, Douglas M Gingrich. Study of n-channel MOSFETs with an enclosed-gate layout in a 0.18um CMOS technology[J]. IEEE, 2004, 52(4): 1344-1348.

[7] Champion C L, La Rue G S. Accurate SPICE models for CMOS analog radiation-hardness-by-design[J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2542-2549.

[8] Champion C L. Modeling of FETs with abnormal gate geometries for radiation hardening[D]. Washington: Washington State University, 2004.

[9] Moreira M T. Design and implementation of a standard cell library for building asynchronous ASICs[D]. Porto Alegre: Pontifical Catholic University of Rio Grande do Sul, 2010.

[10] Rehan Ahmed. Design of 3.3v Digital Standard Cells Libraries for Leon3[D]. Stillwater: Oklahoma State University, 2009.

[11] Tushar R Gheewala. Dual-height cell with variable width power rail architecture. USA, 6838713[P]. 2005.

[12] Redant S, Folens L, Van B Thienen. Fixed Function ASICs[R]. Paris: ESA, 2002.

[13] Frederik Beertink. Combinatorial cell design for CMOS libraries[J]. VLSI, 2000, 29(1): 67-93.

[14] Vipul Singhal, Girishankar G. Optimal gate size selection for standard cells in a library[C]//IEEE Dallas/CAS Workshop on Design, Applications, Integration and Software. Richardson, TX:IEEE,2006: 47-50.

[15] Ricci A, de Munari I, Ciampolini P. Performance-effective compaction of standard-cell libraries for digital design[C]// IEEE 12 th Euromicro Conference on Digital System Design/Architectures, Methods and Tools. Patras:IEEE,2009: 315-322.

作者简介:

朱海博 男,(1986—),硕士研究生.研究方向为抗辐射标准单元库.

桑红石 女,(1970—),副教授.研究方向为数字图像处理算法、VLSI实现与并行处理器体系结构、抗辐射加固技术等.